

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji TSUCHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MRAM HAVING CURRENT PEAK SUPPRESSING CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-300509	August 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   8 月 2 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 3 0 0 5 0 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 0 0 5 0 9 ]

出 願 人            株式会社東芝  
Applicant(s):

2 0 0 3 年   9 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 A000302724  
【提出日】 平成15年 8月25日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/10  
G11C 11/02  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
レクトロニクスセンター内  
【氏名】 土田 賢二  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲  
【選任した代理人】  
【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠  
【選任した代理人】  
【識別番号】 100108855  
【弁理士】  
【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男  
【選任した代理人】  
【識別番号】 100092196  
【弁理士】  
【氏名又は名称】 橋本 良郎  
【手数料の表示】  
【予納台帳番号】 011567  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

第 1 の電位供給源に接続され、前記メモリセルアレイ中の各メモリセルへのデータの書き込みに使用される定電流回路と、

前記定電流回路の出力を特定の書き込み配線に選択的に供給するためのスイッチ回路群と、書き込み動作が開始されるタイミングより前に、前記スイッチ回路群の両端のうち何れか一方を前記第 1 の電位供給源と異なる電位の第 2 の電位供給源に接続し、書き込み動作が開始された直後に前記スイッチ回路群の両端を短絡する手段とを備え、書き込み開始タイミングでの前記定電流回路の出力端子に接続された寄生容量からの電荷の流出、あるいは寄生容量への電荷の流入により発生する電流ピークを抑制する電流ピーク抑制回路とを具備することを特徴とする半導体集積回路装置。

**【請求項 2】**

前記電流ピーク抑制回路は、各書き込み配線に接続されることを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 3】**

前記電流ピーク抑制回路は、各書き込み配線に接続されたカレントシンクであることを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 4】**

前記定電流回路はカレントソースであり、2 つ以上の前記カレントシンクで共有されることを特徴とする請求項 3 に記載の半導体集積回路装置。

**【請求項 5】**

前記各書き込み配線は、前記カレントシンクにより、スタンバイ時に接地電位に設定されることを特徴とする請求項 3 に記載の半導体集積回路装置。

**【請求項 6】**

前記電流ピーク抑制回路は、各書き込み配線に接続されたカレントソースであることを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 7】**

前記定電流回路はカレントシンクであり、2 つ以上のカレントソースで共有されることを特徴とする請求項 6 に記載の半導体集積回路装置。

**【請求項 8】**

前記各書き込み配線は、前記カレントソースにより、スタンバイ時に電源電位に設定されることを特徴とする請求項 7 に記載の半導体集積回路装置。

**【請求項 9】**

前記スイッチ回路群のうち、書き込み対象となるメモリセルに接続された書き込み配線に接続されたスイッチ素子と、前記電流ピーク抑制回路を構成する素子が、書き込み動作開始時において共に導通状態に設定される期間を有することを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 10】**

前記電流ピーク抑制回路は、前記各書き込み配線に接続されたスイッチ回路群と専用のスイッチ素子を介して分離独立されることを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 11】**

前記電流ピーク抑制回路は、複数の書き込み配線で共有されるカレントシンクであることを特徴とする請求項 10 に記載の半導体集積回路装置。

**【請求項 12】**

前記定電流回路はカレントソースであり、2 つ以上の書き込み配線で共有されることを特徴とする請求項 11 に記載の半導体集積回路装置。

**【請求項 13】**

前記各書き込み配線は、前記カレントシンクにより、スタンバイ時に接地電位に設定されることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】

前記電流ピーク抑制回路は、各書き込み配線に接続されたカレントソースであることを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 15】

前記定電流回路はカレントシンクであり、2つ以上の書き込み配線で共有されることを特徴とする請求項 14 に記載の半導体集積回路装置。

【請求項 16】

前記各書き込み配線は、前記カレントソースにより、スタンバイ時に電源電位に設定されることを特徴とする請求項 15 に記載の半導体集積回路装置。

【請求項 17】

前記電流ピーク抑制回路と各書き込み配線に接続された前記スイッチ回路群を分離するための専用のスイッチ素子は、前記電流ピーク抑制回路と排他的に導通あるいは非導通制御されることを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 18】

磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置された複数のメモリセルブロックと、

前記メモリセルブロック中の各メモリセルへのデータの書き込みに使用される定電流回路と、

前記各メモリセルブロックにそれぞれ対応して設けられ、前記定電流回路の出力を特定の書き込み配線に選択的に接続するためのスイッチ回路群と、

書き込み動作の開始タイミングでの電流ピークを抑制する電流ピーク抑制回路とを具備し、

前記定電流回路は、隣接する2つのメモリセルブロックで共有されることを特徴とする半導体集積回路装置。

【請求項 19】

磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置された複数のメモリセルブロックと、

前記メモリセルブロック中の各メモリセルへのデータの書き込みに使用される定電流回路と、

前記各メモリセルブロックにそれぞれ対応して設けられ、前記定電流回路の出力を特定の書き込み配線に選択的に接続するためのスイッチ回路群と、

書き込み動作の開始タイミングでの電流ピークを抑制する電流ピーク抑制回路とを具備し、

前記定電流回路と前記電流ピーク抑制回路は、隣接する2つのメモリセルブロックで共有されることを特徴とする半導体集積回路装置。

【請求項 20】

磁気抵抗効果を利用して情報を記憶するメモリセルに情報を書き込むための書き込み配線群と、

第1の電位供給源に接続され、前記メモリセルへのデータの書き込みに使用される定電流回路と、

前記書き込み配線群の各々にそれぞれの一端が接続され、前記定電流回路の出力端にそれぞれ他端が並列に接続されるスイッチ回路群と、

前記スイッチ回路群の前記一端が接続され、書き込み動作が開始されるタイミングより前に、前記スイッチ回路群の両端のうち何れか一方を前記第1の電位供給源と異なる電位の第2の電位供給源に接続し、書き込み動作が開始された直後に前記スイッチ回路群の両端を短絡する手段を備える電流ピーク抑制回路と

を具備することを特徴とする半導体集積回路装置。

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【技術分野】

【0001】

本発明は、磁気抵抗 (Magnetoresistive) 効果を利用して“1”、“0”情報の記憶を行う素子構造を単体のメモリセルとして備え、このメモリセルをマトリクス状に集積・配置し、その周辺部にデコード回路及びセンス回路などの制御回路群を付与することで任意のビットへのランダムアクセスによる読み出し動作、あるいは書き込み動作を可能にした磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) 等の半導体集積回路装置を実現する技術に関し、特に、書き込み動作の開始直後に発生する電流ピークの抑制回路方式に関する。

【背景技術】

【0002】

MRAMは、磁気抵抗効果を利用して“1”または“0”情報を蓄積させることでメモリ動作をさせるデバイスであり、不揮発性、高集積性、高信頼性、低消費電力性、高速動作を兼ね備えたユニバーサルなメモリデバイスの候補の1つとして位置付けられ、各社で開発が始まっている。

【0003】

磁気抵抗効果には、主にGMR (Giant Magnetoresistive) とTMR (Tunneling Magnetoresistive) の2つの効果が知られている。このうちGMRは、2つの強磁性層に挟まれた導体の抵抗が上下の強磁性層のスピン向きにより変化する効果を利用したものである。しかしながら、磁気抵抗値の変化の割合を示すMR比が10%程度と低いために、記憶情報の読み出し信号が小さく、読み出しマージンの確保がMRAM実現の最大の難点であり、現時点では実用性が不十分と考えられている。

【0004】

一方、TMR効果を示す代表的な素子としては、2枚の強磁性層である金属に挟まれた絶縁膜からなる積層構造を持ち、スピン偏局トンネル効果による磁気抵抗の変化を利用したMTJ (Magnetic Tunnel Junction) 素子が知られている。MTJ素子は、具体的には、上下の強磁性層のスピン向きが互いに平行な場合には、トンネル絶縁膜を介した2枚の磁性層間のトンネル確率が最大となり、その結果抵抗値が最小となる。これに対し、スピン向きが互いに反平行な場合には、同トンネル確率が最小となることで抵抗値が最大となる。このような2つのスピン状態を実現するために、通常上記2枚の磁性体膜のうち何れか一方は、その磁化の向きが固定されており外部磁化の影響を受けないように設定されている。一般的に、この層はピン層と呼ばれている。他方の磁性体膜は、印加される磁界の向きにより、磁化の向きはピン層と平行あるいは反平行にプログラム可能となっている。こちらは、一般的にフリー層と呼ばれており、情報を蓄える役割を担っている。MTJ素子の場合、抵抗変化率としてのMR比は、現在では50%を超えるものも得られており、MRAM開発の主流になりつつある。

【0005】

上記MTJ素子を用いたMRAMの書き込みは、上記フリー層の磁化の向きを反転させるため、それぞれのメモリセルに対して直交して通過するビット線とワード線に一定以上の電流を流し、発生する合成磁界の大きさによりフリー層の磁化の向きを制御することで行われる。

【0006】

一方、読み出しに関しては、選択されたビットに相当するMTJ素子における2枚の磁性膜間に電圧を印加し、これを通る電流から抵抗値を読み取ることや、選択MTJ素子に定電流を流し、これにより発生する2枚の磁性層間の電圧を読み出すことなどで可能となる。

【0007】

このようなMTJ素子を用いたMRAMの一例としては、例えば非特許文献1に報告さ

れている。さらに、上記MRAMにおける書き込み回路の具体的な構成例について、非特許文献2などで報告されている。

#### 【0008】

図24は、上記非特許文献2に記載されている書き込み回路の具体的な構成例を示している。これによれば、定電流書き込み方式を前提とし、且つ1つの定電流源 (Current Source) に対して複数のセクタ (Selector) 回路を接続し、上記セクタ回路をアドレス入力に従って選択的に動作させることで、書き込み対象セルに選択的に電流を印加することが可能となる。

#### 【0009】

しかしながら、このような方式においては、ノードAあるいはノードBに代表されるカレントソース出力線には、比較的大きな寄生容量が付随してしまう。その内訳は、主にカレントソースからの出力配線の寄生容量や複数個のセクタ回路部の拡散容量などが考えられる。さらに、図24に示したように、カレントソースであるPMOSトランジスタは常時導通状態にあるので、ノードAあるいはノードBは、スタンバイ状態でPMOSトランジスタのソース電位である電源電圧 ( $V_{cc}$ ) に充電された状態となる。この状態でMRAMがアクティブ状態となり書き込み動作要求があると、外部入力されたアドレスに従って、特定の書き込み配線へ電流が印加される。この時、カレントソースの導入により選択メモリセルに必要以上の電流が流れないように制御しているにも拘わらず、上記比較的大きな寄生容量からの充電電流により、所定値以上の電流が流れる。特に、書き込み動作の開始直後のタイミングで大きな電流ピークが発生することになる。安定状態に達するとカレントソースでの電流制御の効果が現れるが、書き込み動作開始直後の電流ピークが大きいと、この書き込み配線に接続された全てのセルに対して誤書き込みを起こす要因となり得る。この問題は、MRAMが高集積化され、セクタ回路の繰り返し数が増加や、チップサイズ増大に伴うカレントソースからの出力配線の寄生容量の増大などにより今後ますます顕在化すると予測される。

【非特許文献1】ISSCC 2000 Digest of Technical Paper, p.128, "A 10ns Read and Write Non-Volatile Memory Array using a Magnetic Tunnel Junction and FET Switch in each Cell"

【非特許文献2】2002 Symposium on VLSI Circuits Digest of Technical Papers, p.156, "MRAM-Writing Circuitry to Compensate for Thermal-Variation of Magnetization-Reversal Current"

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

上記のように従来の半導体集積回路装置は、書き込み動作の開始直後のタイミングで大きな電流ピークが発生し、書き込み動作マージンが小さくなり、信頼性が低下するという問題があった。

#### 【0011】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、書き込み動作開始直後のタイミングで発生する電流ピークを抑制でき、書き込み動作マージンが大きく、信頼性の高い半導体集積回路装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0012】

この発明の一態様によると、磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、第1の電位供給源に接続され、前記メモリセルアレイ中の各メモリセルへのデータの書き込みに使用される定電流回路と、前記定電流回路の出力を特定の書き込み配線に選択的に供給するためのスイッチ回路群と、書き込み動作が開始されるタイミングより前に、前記スイッチ回路群の両端のうち何れか一方を前記第1の電位供給源と異なる第2の電位供給源に接続する手段と、且つ書き込み動作が開始された直後にこれら2つの端子を短絡する手段とを備え、前記定電流回路の出力端子に

接続された寄生容量からの電荷の流出、あるいは寄生容量への電荷の流入により発生する書き込み開始タイミングでの電流ピークを抑制する電流ピーク抑制機能を有する回路とを具備する半導体集積回路装置が提供される。

#### 【0013】

また、この発明の別の態様によると、磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置された複数のメモリセルブロックと、前記メモリセルブロック中の各メモリセルへのデータの書き込みに使用される定電流回路と、前記各メモリセルブロックにそれぞれ対応して設けられ、前記定電流回路の出力を特定の書き込み配線に選択的に接続するためのスイッチ回路群と、書き込み動作の開始タイミングでの電流ピークを抑制する電流ピーク抑制回路とを具備し、前記定電流回路は、隣接する2つのメモリセルブロックで共有される半導体集積回路装置が提供される。

#### 【0014】

さらに、この発明の別の態様によると、磁気抵抗効果を利用して情報を記憶するメモリセルがマトリクス状に配置された複数のメモリセルブロックと、前記メモリセルブロック中の各メモリセルへのデータの書き込みに使用される定電流回路と、前記各メモリセルブロックにそれぞれ対応して設けられ、前記定電流回路の出力を特定の書き込み配線に選択的に接続するためのスイッチ回路群と、書き込み動作の開始タイミングでの電流ピークを抑制する電流ピーク抑制回路とを具備し、前記定電流回路と前記電流ピーク抑制回路は、隣接する2つのメモリセルブロックで共有される半導体集積回路装置が提供される。

#### 【0015】

この発明の別の態様によると、磁気抵抗効果を利用して情報を記憶するメモリセルに情報を書き込むための書き込み配線群と、第1の電位供給源に接続され、前記メモリセルへのデータの書き込みに使用される定電流回路と、前記書き込み配線群の各々にそれぞれの一端が接続され、前記定電流回路の出力端にそれぞれの他端が並列に接続されるスイッチ回路群と、前記スイッチ回路群の前記一端が接続され、書き込み動作が開始されるタイミングより前に、前記スイッチ回路群の両端のうち何れか一方を前記第1の電位供給源と異なる電位の第2の電位供給源に接続し、書き込み動作が開始された直後に前記スイッチ回路群の両端を短絡する手段を備える電流ピーク抑制回路とを具備する半導体集積回路装置が提供される。

#### 【0016】

上記のような構成によれば、書き込み電流の印加タイミングに先立って、スイッチ回路群の両端の何れかのノードを定電流源が接続された電源と上記スイッチ回路群の両端の何れかのノードを短絡させることで、書き込み配線に流れる初期電流ピークを抑制できる。これによって、書き込み動作マージンを大きくでき、信頼性を向上できる。

#### 【発明の効果】

#### 【0017】

この発明によれば、書き込み動作開始直後のタイミングで発生する電流ピークを抑制でき、書き込み動作マージンが大きく、信頼性の高い半導体集積回路装置が得られる。

#### 【発明を実施するための最良の形態】

#### 【0018】

以下、この発明の実施の形態について図面を参照して説明する。

#### 〔第1の実施の形態〕

図1は、本発明の第1の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係する主要コア部を抽出して示すブロック図である。本実施の形態では、中央に配置されたメモリセルアレイ11に対して、その両端に書き込み配線WL1、WL2へ選択的に電流を印加するためのスイッチ回路群12-1、12-2が配置される。このスイッチ回路群12-1、12-2には、それぞれ定電流源13-1、13-2が接続されている。メモリセルアレイ11の両端に定電流源13-1、13-2が配置されているのは、電流の向きの2方向化を可能とするためである。上記スイッチ回路群12-1、12-2中には、電流ピーク抑制回路14-1、14-2が内蔵されて



いる。

#### 【0019】

図2は、上記図1に示したブロック図を、実際の書き込み動作時に使用する回路名で書き直したものである。図2では、図1に対応する回路部に同じ符号を付している。MRAMにおいては、定常的な所定電流にて書き込み動作を実現しているので、本実施の形態では電流を流し出す回路をカレントソース (Current Source)、電流を流し込む回路をカレントシンク (Current Sink) と呼ぶことにする。図2に示した例では、カレントソースが定電流回路として作用し、カレントシンクが電流ピーク抑制回路としても機能することを意味する。また、各書き込み配線WL1, WL2に対して、セレクトスイッチ (Selector Switch) とカレントシンク (Current Sink) の2つの回路を配設した構成となる。

#### 【0020】

図3は、本第1の実施の形態に係るMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示している。チップ内には少なくとも1つの定電流制御電圧発生回路15が配設され、この回路15の出力がカレントソース13-2に入力される。ここでは、定電流制御電圧発生回路15とカレントソース13-2がカレントミラー接続された回路を例示した。カレントソース13-2の出力は、複数のセレクトスイッチ12-2の共通ノードN1となり、所望の数のセレクト素子（この場合はゲート端子に信号ACTが入力されたNMOSトランジスタ）16へ供給される。このため、この共通ノードN1には、比較的大きな配線容量と、NMOSトランジスタ16の拡散容量により形成される寄生容量との合成容量である容量C1が接続された状態となる。この容量C1は、カレントソース13-2により電源電圧 (Vcc) まで充電された状態にある。

#### 【0021】

一方、上記共通ノードN1は、上記セレクトスイッチ12-2を介して書き込み配線WL2へ接続される。これらの各書き込み配線WL2には、ゲート端子に信号/ACTが入力されたNMOSトランジスタによるカレントシンク17が接続されている。このカレントシンク17は、電流ピーク抑制回路として働く。実際の書き込みにおいては、メモリセルアレイ11の右端のカレントソース12-2と図示しない左端のカレントシンク14-1を同時に活性化することで定常電流を流す。

#### 【0022】

図4は、上記図3に示した回路の動作タイミングの一例を示している。カレントシンク17のゲート信号である/ACTはスタンバイ状態で全て“High”状態にあることで書き込み配線を接地電位 (Vss) へ初期設定する。一方、セレクトスイッチ16のゲート信号には/ACTの反転信号であるACTが印加されることで全てのセレクトスイッチ16は非導通状態となる。

#### 【0023】

外部から書き込み動作要求が入ると、アドレスに従って選択セルに接続される信号ACTiならびに/ACTiのみが遷移する。このとき、図4に示したように、信号/ACTiの“High”から“Low”への遷移が、信号ACTiの“Low”から“High”への遷移よりも所定のタイミング $\Delta t$ だけ遅らせている。メモリセルアレイ11内の書き込み配線は、複数のメモリセルに接続されることから一定値以上の配線抵抗が存在する。加えて、メモリセルアレイ11の左端には定常電流を流すためにカレントシンク14-1が接続されることになるので、少なくとも「配線抵抗」分だけはメモリセルアレイ側の抵抗値が高くなる。このため、信号/ACTi, ACTiに図4に示したようなタイミング差を設定することにより、寄生容量C1に溜まった電荷を信号/ACTiがゲートに供給されるカレントシンクを介して放電させることが可能となる。そして、寄生容量C1の電荷が十分に接地電位Vss側へ放電されたタイミングで、信号/ACTiを非導通制御 (High→Low) してやれば、書き込み開始のタイミングで発生する電流ピークを低減できる。

#### 【0024】

図5は、上記図3に示した回路の別の動作タイミング例を示している。図4と異なるのは、信号/ACTにより全ての書き込み配線を、スタンバイ時に接地電位Vssへ接続し

ない点にある。この場合には、図5に示すように、書き込み電流を印加する初期のタイミングで信号／ACTiを正のパルス状に駆動することで、セレクトスイッチ16とカレントシンク17を同時に活性化する。この場合も寄生容量C1に溜まった電荷を、信号／ACTiがゲートに供給されるカレントシンクを介して放電させることが可能となる。そして、寄生容量C1の電荷が十分に接地電位Vss側へ放電されたタイミングで、信号／ACTiを非導通制御（パルス幅制御）してやれば、書き込み開始のタイミングで発生する電流ピークを低減できる。

#### 【0025】

##### 〔第2の実施の形態〕

図6は、本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関するコア部のブロック図であり、上述した第1の実施の形態における図2に相当するものである。図6に示す回路が図2と異なるのは、カレントシンク14-1、14-2を分離独立させ、セレクトスイッチ12-1、12-2とカレントソース13-1、13-2の2つの回路を各書き込み配線WL1、WL2に対して配設した点にある。この回路では、カレントシンク14-1、14-2が定電流回路として作用し、カレントソース13-1、13-2が電流ピーク抑制回路としても機能する。他の基本的な構成は同様であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

#### 【0026】

図7は、本第2の実施の形態に係るMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示している。定電流制御電圧発生回路15がカレントシンク14-2側に組み込まれている。カレントシンク14-2の出力は、複数のセレクトスイッチ12-2の共通ノードN2となり、所望の数のセクタ素子（ゲート端子に信号ACTが入力されたNMOSトランジスタ）16へ供給される。この共通ノードN2には、比較的大きな配線容量と、NMOSトランジスタ16の拡散容量により形成される寄生容量との合成容量である容量C1が接続された状態となる。この容量C1は、カレントシンク14-2により接地電位（Vss）に放電された形となる。

#### 【0027】

また、上記共通ノードN2は、上記セレクトスイッチ12-2を介して書き込み配線WL2へ接続される。これらの各書き込み配線WL2には、ゲート端子に信号／ACTが入力されたNMOSトランジスタによるカレントソース18が接続されている。このカレントソース18は、電流ピーク抑制回路として働く。実際の書き込みにおいては、メモリセルアレイ11の右端のカレントシンク14-2と図示しない左端のカレントソース12-1を同時に活性化することで定常電流を流す。

#### 【0028】

図7に示す回路の動作タイミングは、上記図4ならびに図5に示したものと実質的に同じである。図4に示した動作タイミングでは、全ての書き込み配線WL1、WL2が電源電圧Vccに充電されている以外、第1の実施の形態と同じである。書き込み動作の開始タイミングにおいて、寄生容量C1はカレントソースからの充電により電位上昇が起こり、その結果、書き込み配線への電流ピークを抑制可能となる。

#### 【0029】

もちろん、図5に示したようなタイミングで動作させても同様の効果が期待できる。

#### 【0030】

##### 〔第3の実施の形態〕

図8は、本発明の第3の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係する主要コア部を抽出して示すブロック図である。隣接する2つのメモリセルブロック11A、11Bで定電流回路13を共有させることにより、チップサイズの抑制を意図した構成である。一般的に、MRAMでは書き込み電流が数mAオーダーと大きく、MOSトランジスタの飽和特性を利用した定電流回路でこれを実現した場合、ゲート幅は数100 $\mu$ m程度が必要となる。このような、巨大なゲート幅

を持つ定電流回路を単一のチップ内に複数搭載することは、チップサイズの増大やチップコストの上昇を招く。そこで、各メモリセルブロック 11A, 11B の両端に、スイッチ回路群 12-1A, 12-2A, 12-1B, 12-2B (各々が電流ピーク抑制回路 14-1A, 14-2A, 14-1B, 14-2B を内蔵する) を配置し、隣接ブロックで定電流回路 13 を共有することにより、チップサイズの増大を抑制することができる。

#### 【0031】

##### [第4の実施の形態]

図9は、本発明の第4の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係する主要コア部を抽出して示すブロック図であり、図1に相当するブロック図である。図9に示す回路が図1と異なるのは、電流ピーク抑制回路 14-1, 14-2 をスイッチ回路群 12-1, 12-2 から分離させた点にある。

#### 【0032】

図10は、図9に示したブロック図を実際の書き込み動作時に使用する回路名で書き直したものである。図10に示した例では、カレントソース 13-1, 13-2 が定電流回路として作用し、カレントシンク 14-1, 14-2 が電流ピーク抑制回路としても機能することを意味する。

#### 【0033】

図11は、図10に示したMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示す図である。チップ内には少なくとも1つの定電流制御電圧発生回路 15 が配設され、この回路 15 の出力がカレントソース 13-2 に供給される。なお、本実施の形態においても、定電流制御電圧発生回路 15 とカレントソース 13-2 はカレントミラー接続されたものを例示した。カレントソース 13-2 からの出力線には、寄生容量 C1 が付随しており、電源電圧 (Vcc) へ充電された状態となる。さらに、カレントソース 13-2 からの出力線と、複数のセレクトスイッチ 12-2 の共通ノード N3 の間には、専用のスイッチ (図11ではゲートに信号 SOENBL が入力される NMOS トランジスタを例に示す) を設けている。加えて、共有ノード N3 には、カレントシンク 14-2 として働く NMOS トランジスタ (ゲートに信号 SIENBL が入力される NMOS トランジスタ) も併せて接続されている。

#### 【0034】

上記図11に示す回路の動作タイミングは、図12に示すように、スタンバイ状態では、信号 SIENBL のみ “High” に設定することで、共通ノード N3 を接地電位 (Vss) へセットする。この共通ノード N3 には、比較的容量の大きな寄生容量 C2 が接続された状態である。この状態で、外部から書き込み動作要求が入ると、信号 SIENBL が “High” から “Low” へ遷移すると同時に、信号 SOENBL が “Low” から “High” へ遷移し、さらにアドレスに従って選択セルに接続される書き込み配線に供給されたセレクトスイッチ用の信号 ACTi が選択的に活性化される。この時、カレントソース 13-2 側で電源電圧 Vcc に充電された寄生容量 C1 とカレントシンク 14-2 側で接地電位 Vss に放電された寄生容量 C2 との間で電荷分配が起こる。ここでのポイントは、寄生容量 C1, C2 の大小関係であり、これによりカレントソース 13-2 の出力部の寄生容量 C1 に起因する電流ピークは、寄生容量 C2 に吸収される形となる。この結果、電流ピークの抑制が可能となる。

#### 【0035】

##### [第5の実施の形態]

図13は、本発明の第5の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関するコア部のブロック図であり、図10に相当する図面である。この図13に示す回路が図10と異なるのは、電流ピーク抑制回路 14-1, 14-2 がカレントソース、定電流回路 13-1, 13-2 がカレントシンクで実現されることである。他の基本的な構成は同様であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

#### 【0036】

図14は、本第5の実施の形態に係るMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示している。定電流制御電圧発生回路15はカレントシンク13-2側に組み込まれた構成をとる。他の構成は、図11に示した回路と同様である。

#### 【0037】

この回路の動作タイミングは、図15に示す通りであり、寄生容量C2を含む共通ノードN3がスタンバイ状態で信号SOENBLにより電源電圧Vccに充電され、寄生容量C1を含むカレントシンク13-2の出力が接地電位Vssに放電される。

#### 【0038】

このような構成であっても上述した第4の実施の形態と同様に、寄生容量C1とC2の間の電荷分配作用により、カレントソース14-2の出力部の寄生容量に起因する電流ピークは、寄生容量C2に吸収される形となる。この結果、やはり電流ピークの抑制が可能となる。

#### 【0039】

##### [第6の実施の形態]

図16は、本発明の第6の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関するコア部のブロック図である。この回路は、隣接する2つのメモリセルブロック11A、11Bで定電流回路13-2とピーク電流抑制回路14-2の双方を共有することにより、チップサイズの大幅な抑制を意図した構成である。各メモリセルブロック11A、11Bの両端には、スイッチ回路群12-1A、12-2A、12-1B、12-2Bのみ配置し、電流ピーク抑制回路14-1A、14-2、14-2Bと定電流回路13-1A、13-2、13-2Bをスイッチ回路群12-1A、12-2A、12-1B、12-2Bから分離させたことから、隣接ブロックで定電流回路と定電流回路とを共有することが可能となる。

#### 【0040】

以上のように、本発明の各実施の形態によれば、定電流書き込みを方式を採用したMRAMにおいて、書き込み電流を印加した直後に発生する電流ピークを低減させることができる。

#### 【0041】

特に、第1乃至第3の実施の形態では、第1の電源（第1の電位供給源）に接続された書き込み用の定電流回路と、これに接続され且つ書き込み配線を選択的に駆動するための複数の選択用のスイッチ回路群の書き込み配線側のノードを、書き込み電流印加のタイミングに先立って、定電流回路が接続された第1の電源と異なる電位の第2の電源（第2の電位供給源）に事前に接続させることで、電流ピークを抑制する。

#### 【0042】

また、第4乃至第6の実施の形態では、上記選択用のスイッチ回路群の共通ノードを、書き込み電流印加のタイミングに先立って、定電流回路が接続された第1の電源と異なる第2の電源に事前に接続させることで、同様に電流ピークを抑制する。加えて、このような電流ピーク抑制回路を、上記選択スイッチ内に備える場合は上記定電流回路を、上記選択用のスイッチ回路群内に設けない場合は上記定電流回路と電流ピーク抑制回路の双方を隣接する複数のメモリセルブロックで共有させることが可能となり、チップサイズの増大を抑制することもできる。以上のことから、書き込みマージンが大きく、高信頼性を有し、且つチップサイズの小さな高密度化が容易なMRAMを実現できる。

#### 【0043】

なお、本発明の第1乃至第6の実施形態に係る磁気ランダムアクセスメモリ（半導体記憶装置）は、様々な装置に適用が可能である。これらの適用例のいくつかを図17乃至図23に示す。

#### 【0044】

##### （適用例1）

図17はデジタル加入者線（DSL）用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ（DSP：Digital

Signal Processor) 100、アナログ-デジタル (A/D) コンバータ 110、デジタル-アナログ (D/A) コンバータ 120、送信ドライバ 150、及び受信機増幅器 160 などを含んでいる。図 17 では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム (DSP で実行される、コード化された加入者回線情報、伝送条件等 (回線コード; QAM、CAP、RSK、FM、AM、PAM、DWT 等) に応じてモデムを選択、動作させるためのプログラム) を保持するための種々のタイプのオプションのメモリとして、本実施形態の磁気ランダムアクセスメモリ 170 と EEPROM 180 を示している。

#### 【0045】

なお、本適用例では、回線コードプログラムを保持するためのメモリとして磁気ランダムアクセスメモリ 170 と EEPROM 180 との 2 種類のメモリを用いているが、EEPROM 180 を磁気ランダムアクセスメモリに置き換えても良い。すなわち、2 種類のメモリを用いず、磁気ランダムアクセスメモリのみを用いるように構成しても良い。

#### 【0046】

(適用例 2)

図 18 は、別の適用例として、携帯電話端末 300 を示している。通信機能を実現する通信部 200 は、送受信アンテナ 201、アンテナ共用器 202、受信部 203、ベースバンド処理部 204、音声コーデックとして用いられる DSP 205、スピーカ (受話器) 206、マイクロホン (送話器) 207、送信部 208、及び周波数シンセサイザ 209 等を備えている。

#### 【0047】

また、この携帯電話端末 300 には、当該携帯電話端末の各部を制御する制御部 220 が設けられている。制御部 220 は、CPU 221、ROM 222、本実施形態の磁気ランダムアクセスメモリ (MRAM) 223、及びフラッシュメモリ 224 が CPU バス 225 を介して接続されて形成されたマイクロコンピュータである。上記 ROM 222 には、CPU 221 において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。MRAM 223 は、主に作業領域として用いられるものであり、CPU 221 がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部 220 と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ 224 は、携帯電話端末 300 の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

#### 【0048】

更に、この携帯電話端末 300 には、オーディオ再生処理部 211、外部出力端子 212、LCD コントローラ 213、表示用の LCD (液晶ディスプレイ) 214、及び呼び出し音を発生するリング 215 等が設けられている。上記オーディオ再生処理部 211 は、携帯電話端末 300 に入力されたオーディオ情報 (あるいは後述する外部メモリ 240 に記憶されたオーディオ情報) を再生する。再生されたオーディオ情報は、外部出力端子 212 を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部 211 を設けることにより、オーディオ情報の再生が可能となる。上記 LCD コントローラ 213 は、例えば上記 CPU 221 からの表示情報を CPU バス 225 を介して受け取り、LCD 214 を制御するための LCD 制御情報に変換し、LCD 214 を駆動して表示を行わせる。

#### 【0049】

上記携帯電話端末 300 には、インターフェース回路 (I/F) 231、233、235、外部メモリ 240、外部メモリスロット 232、キー操作部 234、及び外部入出力端子 236 等が設けられている。上記外部メモリスロット 232 にはメモリカード等の外部メモリ 240 が挿入される。この外部メモリスロット 232 は、インターフェース回路

(I/F) 231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報(例えばオーディオ情報)を携帯電話端末300に入力したりすることが可能となる。上記キー操作部234は、インターフェース回路(I/F)233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路(I/F)233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

#### 【0050】

なお、本適用例では、ROM222、MRAM223及びフラッシュメモリ224を用いているが、フラッシュメモリ224を磁気ランダムアクセスメモリに置き換えても良いし、更にROM222も磁気ランダムアクセスメモリに置き換えることも可能である。

#### 【0051】

(適用例3)

図19乃至図23はそれぞれ、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード(MRAMカード)に適用した例を示す。

#### 【0052】

MRAMカード本体400には、MRAMチップ401が内蔵されている。このカード本体400には、MRAMチップ401に対応する位置に開口部402が形成され、MRAMチップ401が露出されている。この開口部402にはシャッター403が設けられており、当該MRAMカードの携帯時にMRAMチップ401がシャッター403で保護されるようになっている。このシャッター403は、外部磁場を遮蔽する効果のある材料、例えばセラミックからなっている。データを転写する場合には、シャッター403を開放してMRAMチップ401を露出させて行う。外部端子404はMRAMカードに記憶されたコンテンツデータを外部に取り出すためのものである。

#### 【0053】

図20及び図21はそれぞれ、上記MRAMカードにデータを転写するための転写装置を示している。図20はカード挿入型の転写装置の上面図、図21はその断面図である。エンドユーザの使用する第2MRAMカード450を、矢印で示すように転写装置500の挿入部510より挿入し、ストッパ520で止まるまで押し込む。このストッパ520は第1MRAM550と第2MRAMカード450を位置合わせするための部材としても働く。第2MRAMカード450が所定位置に配置されると、第1MRAMデータ書き換え制御部から外部端子530に制御信号が供給され、第1MRAM550に記憶されたデータが第2MRAMカード450に転写される。

#### 【0054】

図22には、はめ込み型の転写装置を示す。この転写装置は、矢印で示すように、ストッパ520を目標に、第1MRAM550上に第2MRAMカード450をはめ込みように載置するタイプである。転写方法についてはカード挿入型と同一であるので、説明を省略する。

#### 【0055】

図23には、スライド型の転写装置を示す。この転写装置は、CD-ROMドライブやDVDドライブと同様に、転写装置500に受け皿スライド560が設けられており、この受け皿スライド560が矢印で示すように移動する。受け皿スライド560が破線の位置に移動したときに第2MRAMカード450を受け皿スライド560に載置し、第2MRAMカード450を転写装置500の内部へ搬送する。ストッパ520に第2MRAMカード450の先端部が当接するように搬送される点、および転写方法についてはカード挿入型と同一であるので、説明を省略する。

#### 【0056】

なお、上記各実施の形態では、半導体集積回路装置として磁気ランダムアクセスメモリ

を例に取って説明したが、磁気ランダムアクセスメモリとロジック回路とを混載した半導体集積回路装置や、1チップ中にシステムを搭載するSOCと呼ばれる半導体集積回路装置にも適用できるのは勿論である。

【0057】

以上第1乃至第6の実施の形態と第1乃至第3の適用例を用いてこの発明の説明を行ったが、この発明は上記各実施の形態や適用例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態と適用例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態や適用例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0058】

【図1】本発明の第1の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係する主要コア部を抽出して示すブロック図。

【図2】図1に示したブロック図を、実際の書き込み動作時に使用する回路名で書き直した図。

【図3】図1に示したMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示す図。

【図4】図3に示した電流ピーク抑制回路の動作タイミング図。

【図5】図3に示した電流ピーク抑制回路の別の動作タイミング図。

【図6】本発明の第2の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係するコア部を抽出して示すブロック図。

【図7】図6に示したMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示す図。

【図8】本発明の第3の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係するコア部を抽出して示すブロック図。

【図9】本発明の第4の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係する主要コア部を抽出して示すブロック図。

【図10】図9に示したブロック図を実際の書き込み動作時に使用する回路名で書き直した図。

【図11】図10に示したMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示す図。

【図12】図11に示した電流ピーク抑制回路の動作タイミング図。

【図13】本発明の第5の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係するコア部を抽出して示すブロック図。

【図14】図13に示したMRAMにおける電流ピーク抑制回路の具体的な回路構成例を示す図。

【図15】図14に示した電流ピーク抑制回路の動作タイミング図。

【図16】本発明の第6の実施の形態に係る半導体集積回路装置について説明するためのもので、MRAMの書き込みに関係するコア部を抽出して示すブロック図。

【図17】本発明の第1乃至第6の実施形態に係る半導体集積回路装置(MRAM)の適用例1について説明するためのもので、デジタル加入者線(DSL)用モデムのDSLデータバス部分を示すブロック図。

【図18】本発明の第1乃至第6の実施形態に係る半導体集積回路装置(MRAM)の適用例2について説明するためのもので、携帯電話端末を示すブロック図。

【図19】本発明の第1乃至第11の実施形態に係る半導体集積回路装置(MRAM)の適用例3について説明するためのもので、MRAMをスマートメディア等のメディアコンテンツを収納するカード(MRAMカード)に適用した例を示す上面図。

【図 2 0】 M R A M カードにデータを転写するための転写装置を示す平面図。

【図 2 1】 M R A M カードにデータを転写するための転写装置を示す断面図。

【図 2 2】 M R A M カードにデータを転写するための、はめ込み型の転写装置を示す断面図。

【図 2 3】 M R A M カードにデータを転写するための、スライド型の転写装置を示す断面図。

【図 2 4】 従来の半導体集積回路装置について説明するためのもので、M R A M の書き込み回路の構成例を示す図。

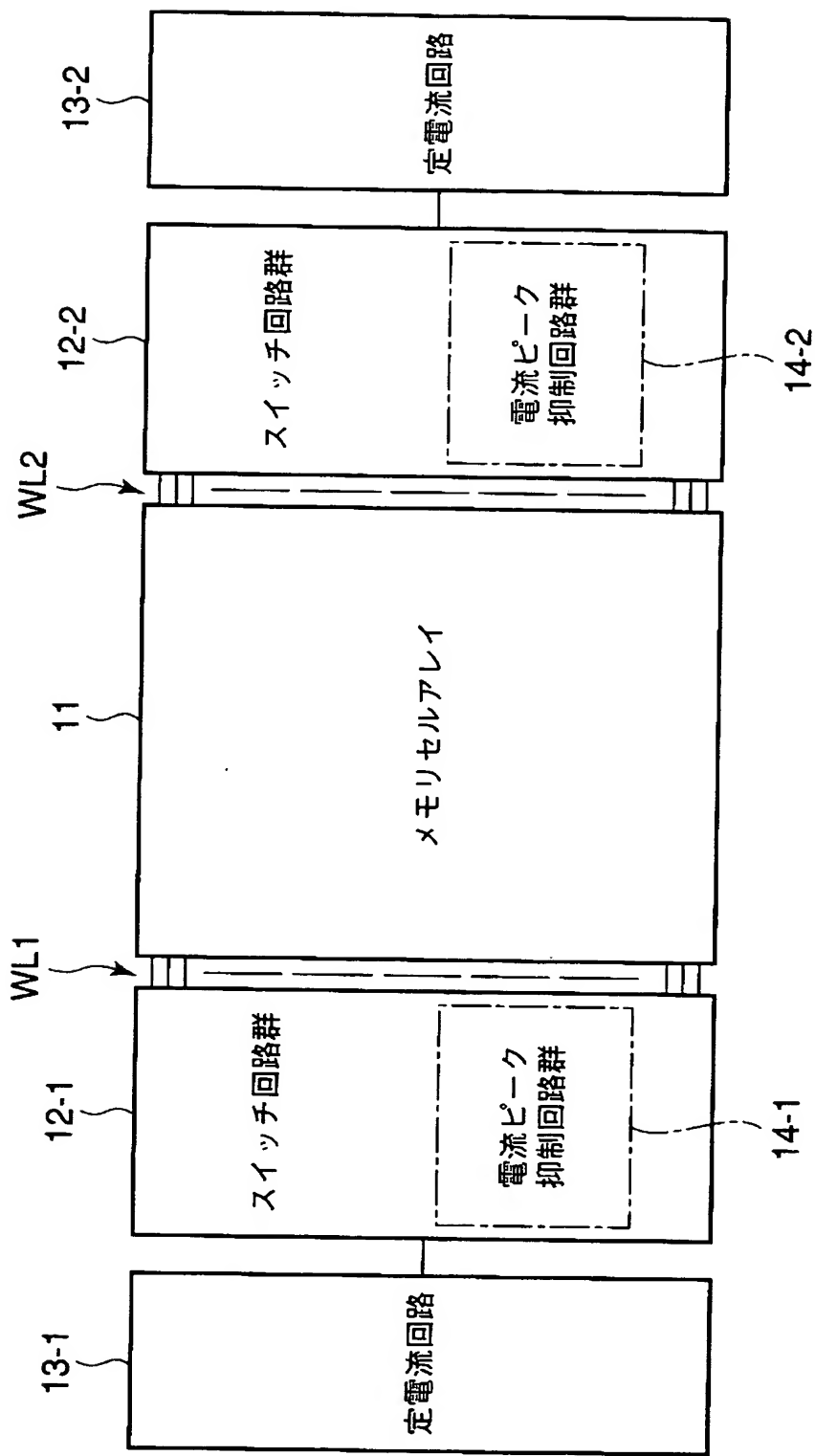
【符号の説明】

【 0 0 5 9】

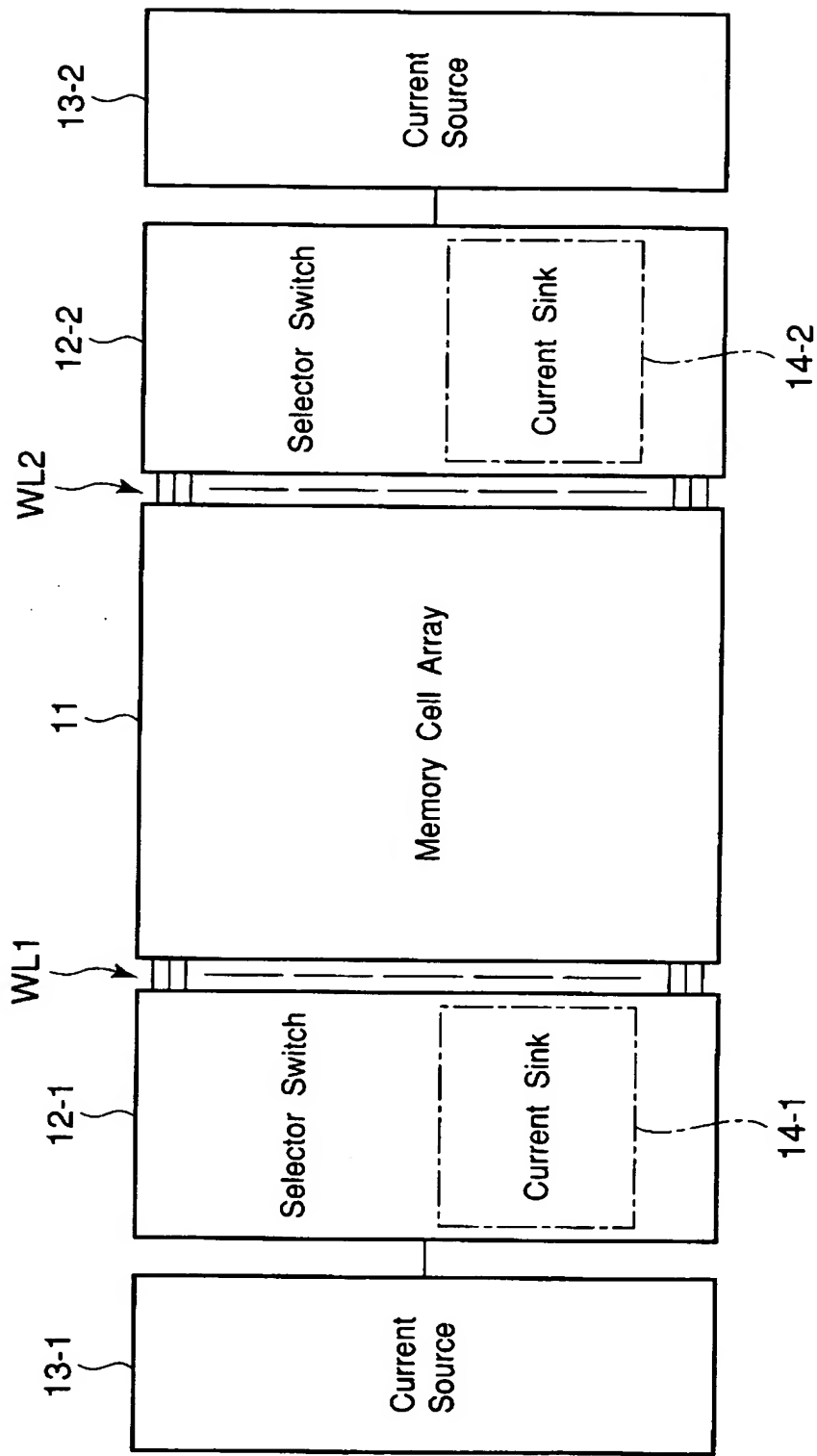
1 1 …メモリセルアレイ、1 1 A, 1 1 B …メモリセルブロック、1 2 - 1, 1 2 - 2 …スイッチ回路群、1 3 - 1, 1 3 - 2 …定電流回路、1 4 - 1, 1 4 - 2 …電流ピーク抑制回路群、1 5 …定電流制御電圧抑制回路、1 6 …セクタ素子 (N M O S トランジスタ)、1 7 …カレントシンク、1 8 …カレントソース、W L 1, W L 2 …書き込み配線。



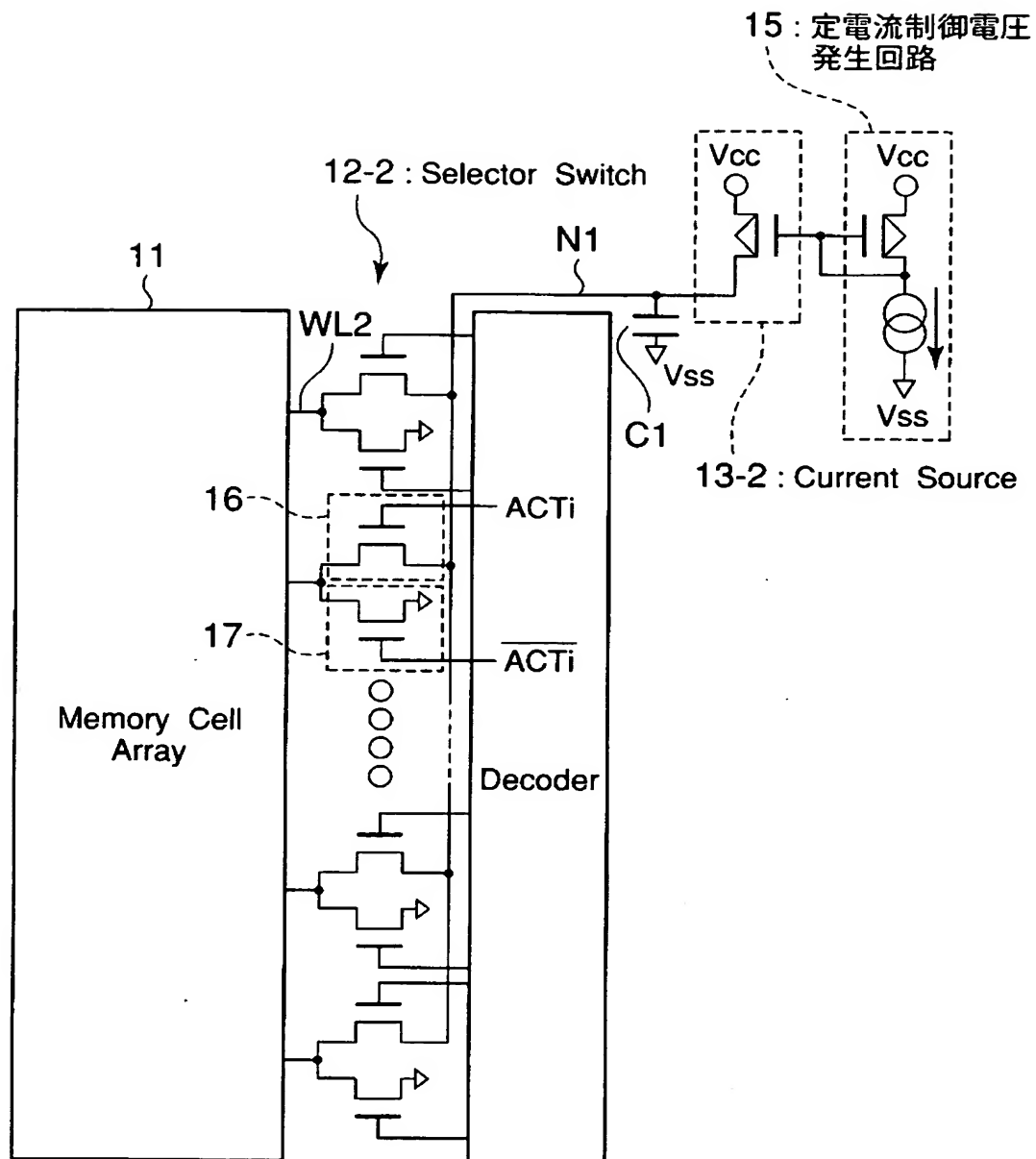
【書類名】 図面  
【図 1】



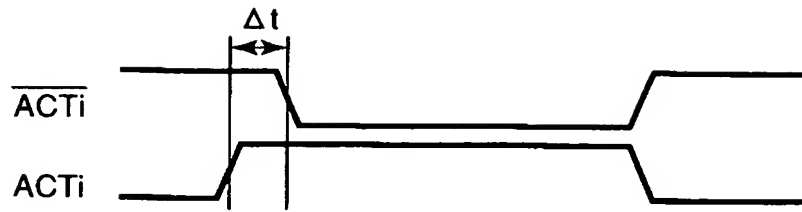
【図 2】



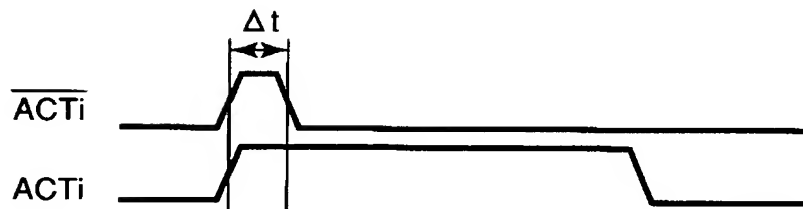
【図 3】



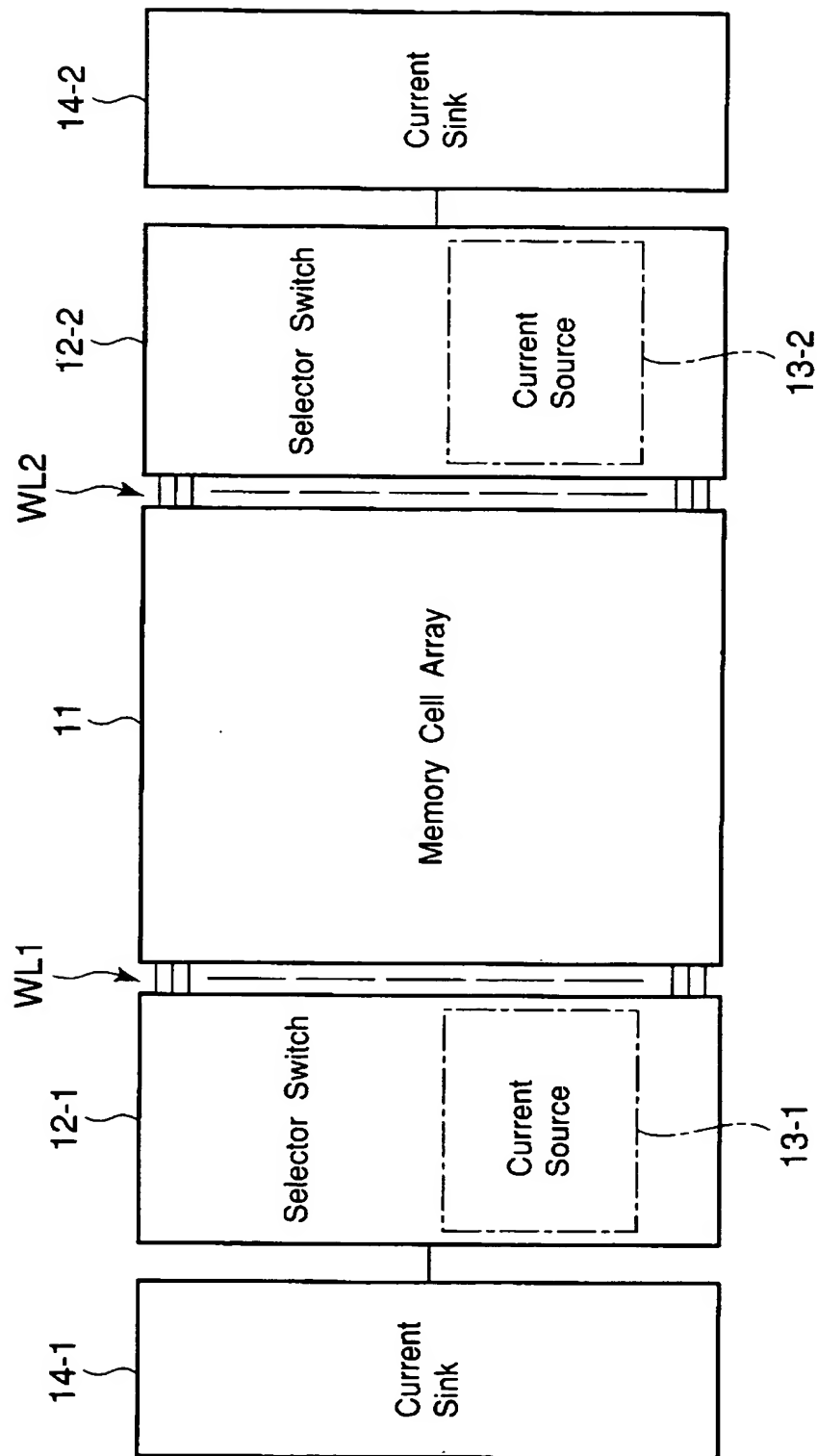
【図 4】



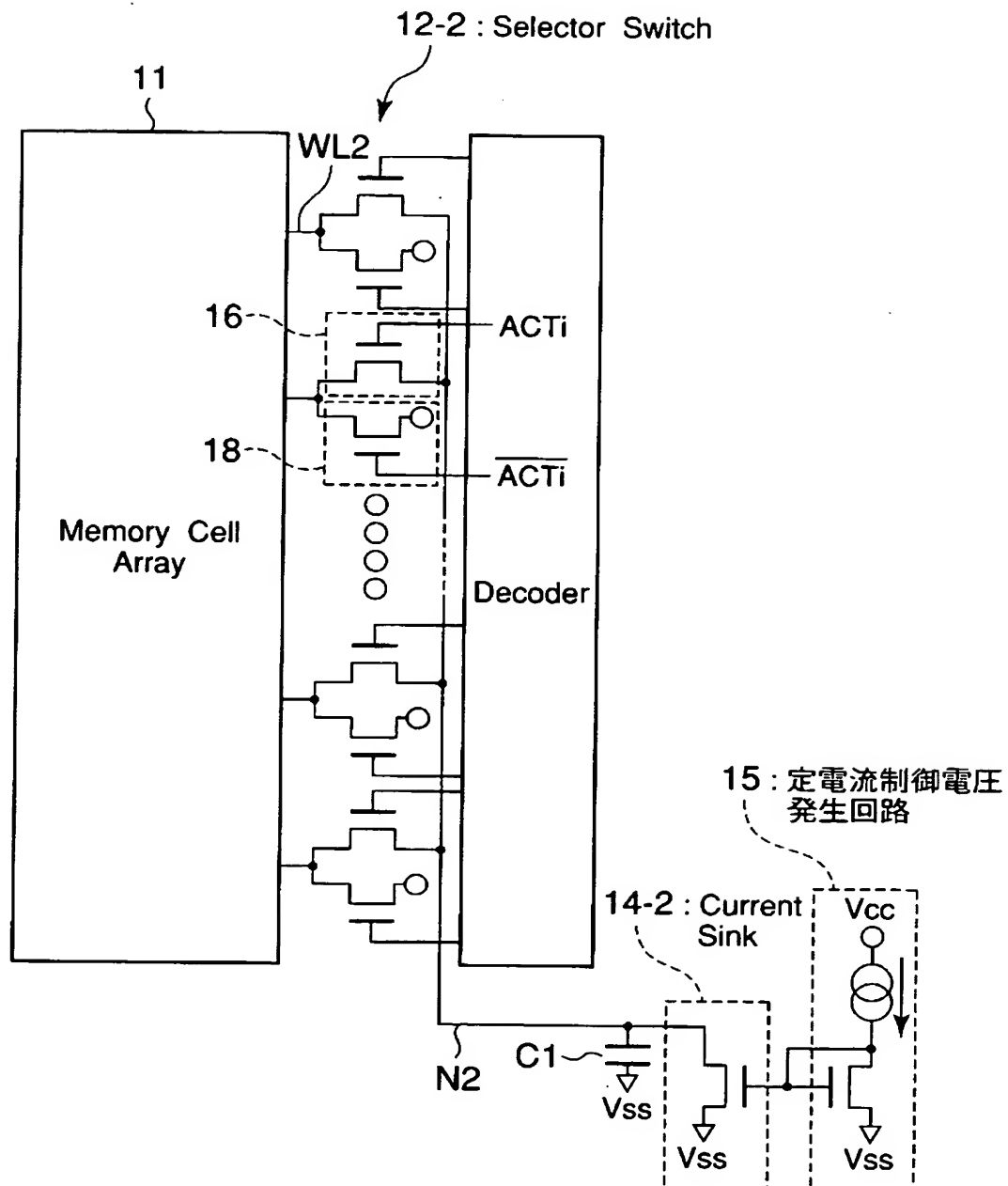
【図 5】



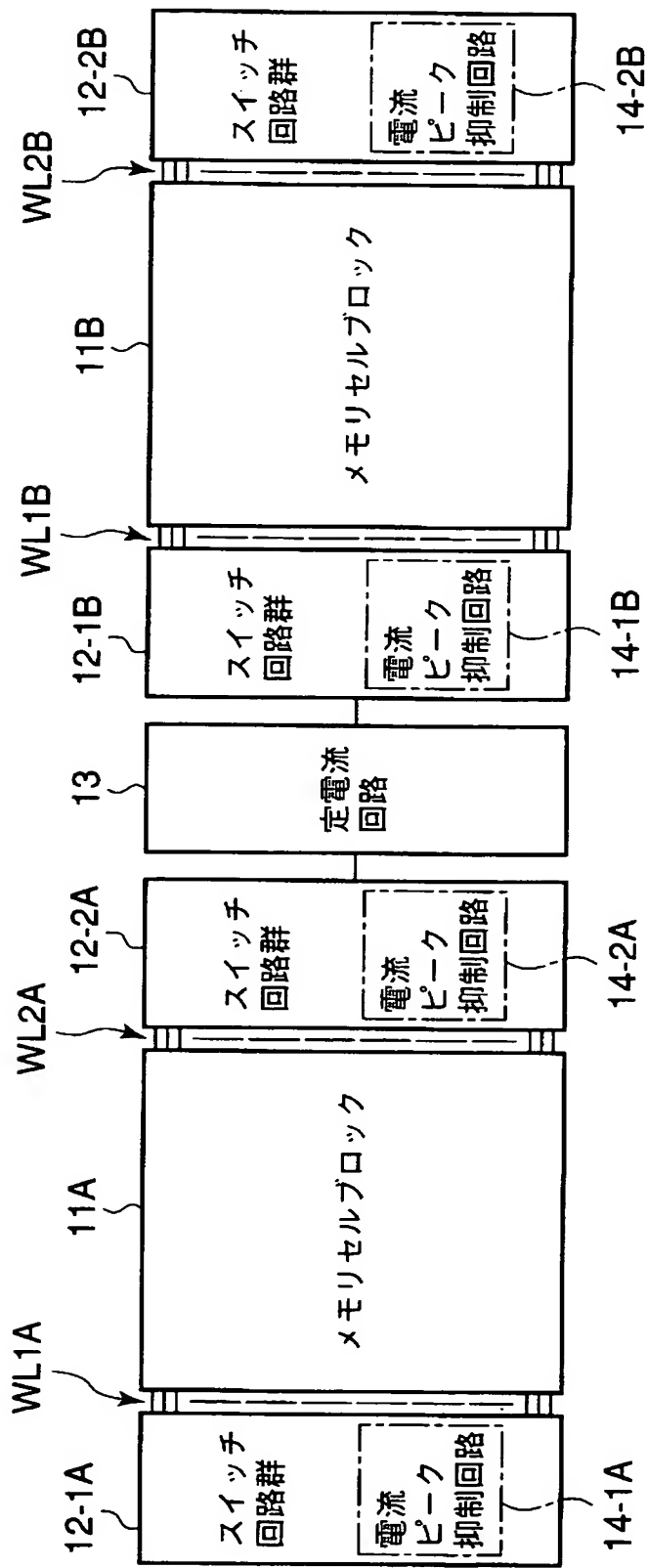
【図 6】



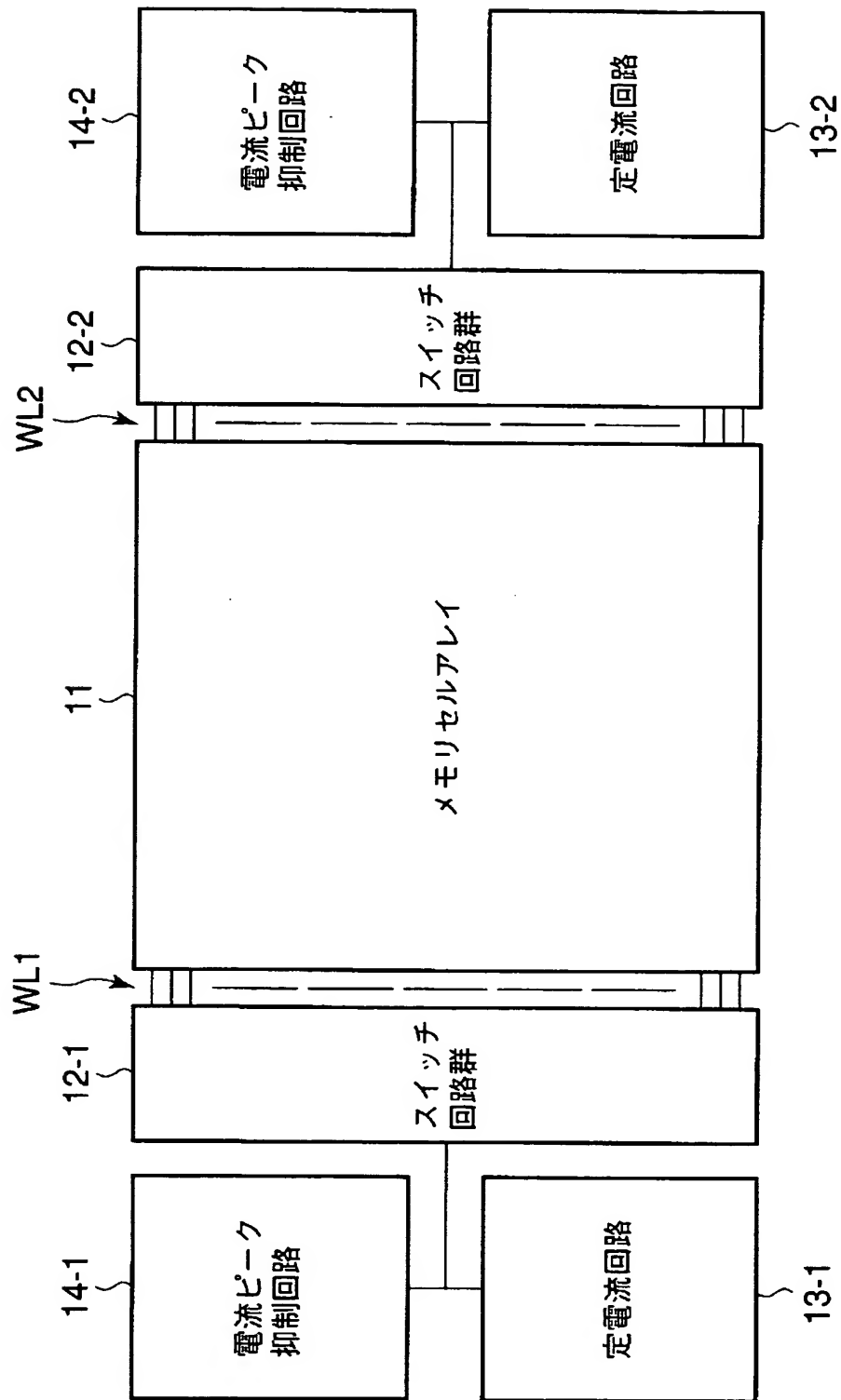
【図 7】



【図8】

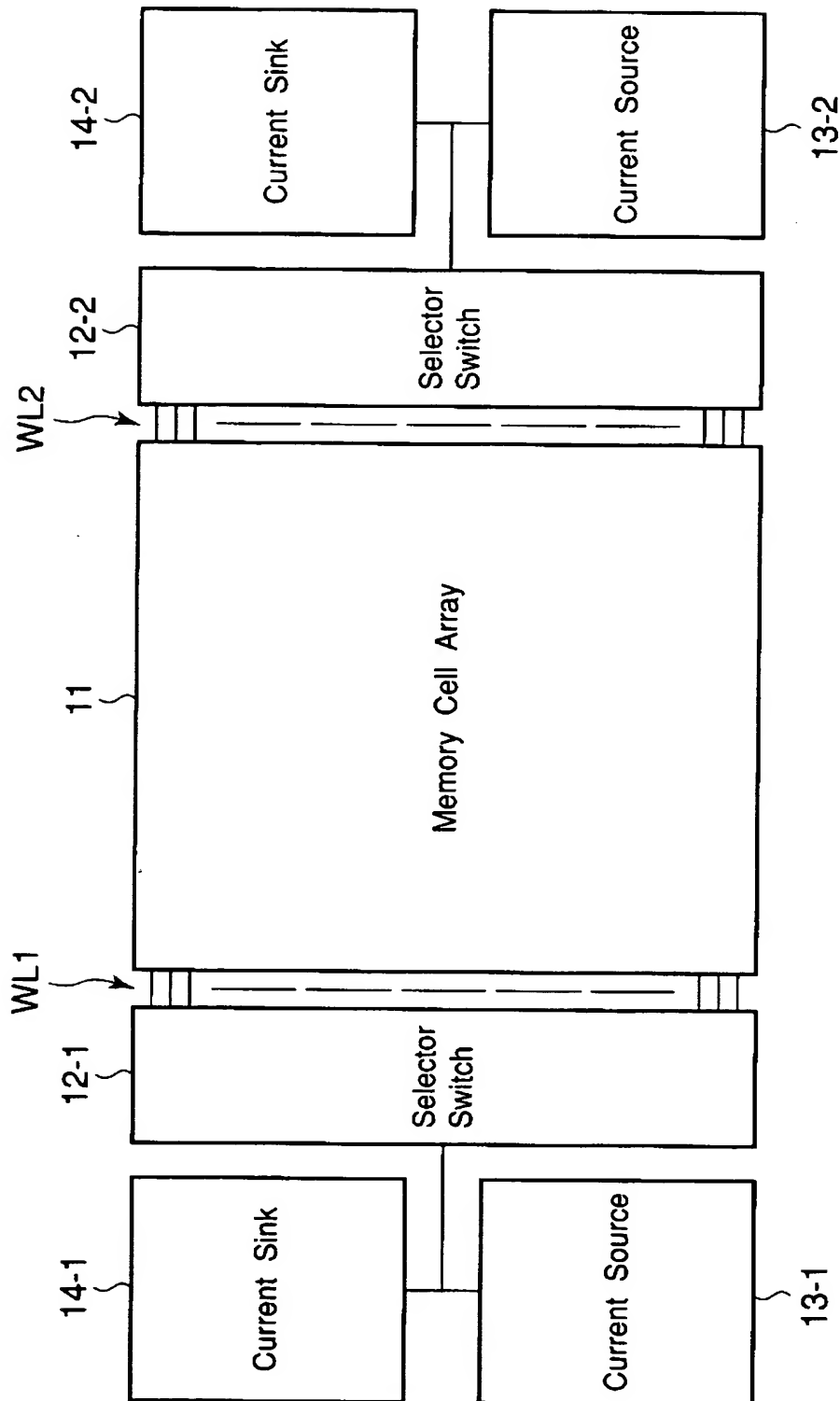


【図 9】

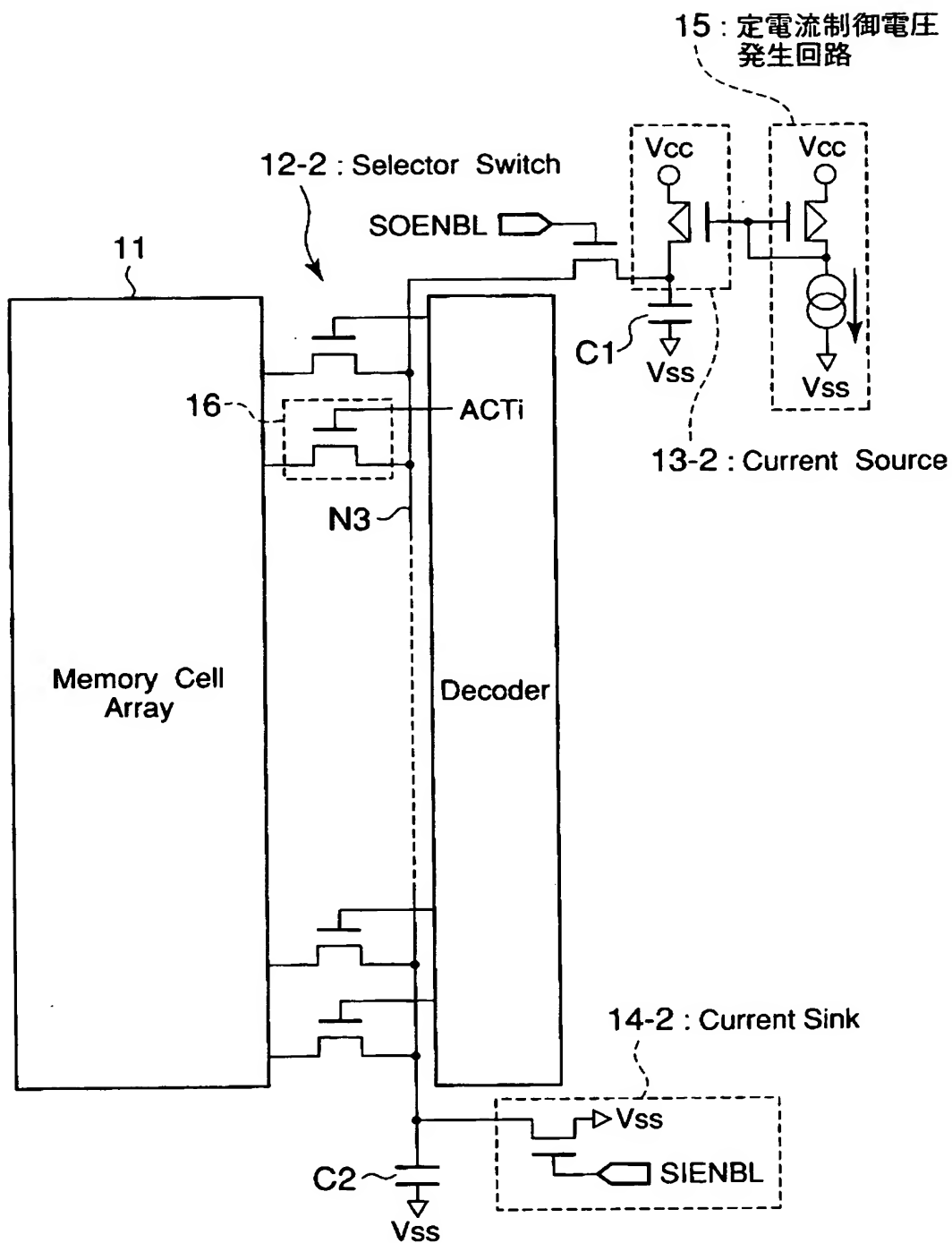




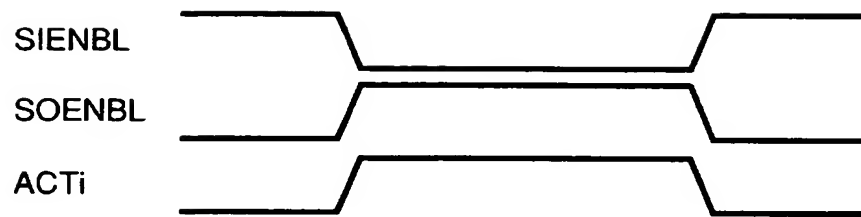
【図 10】



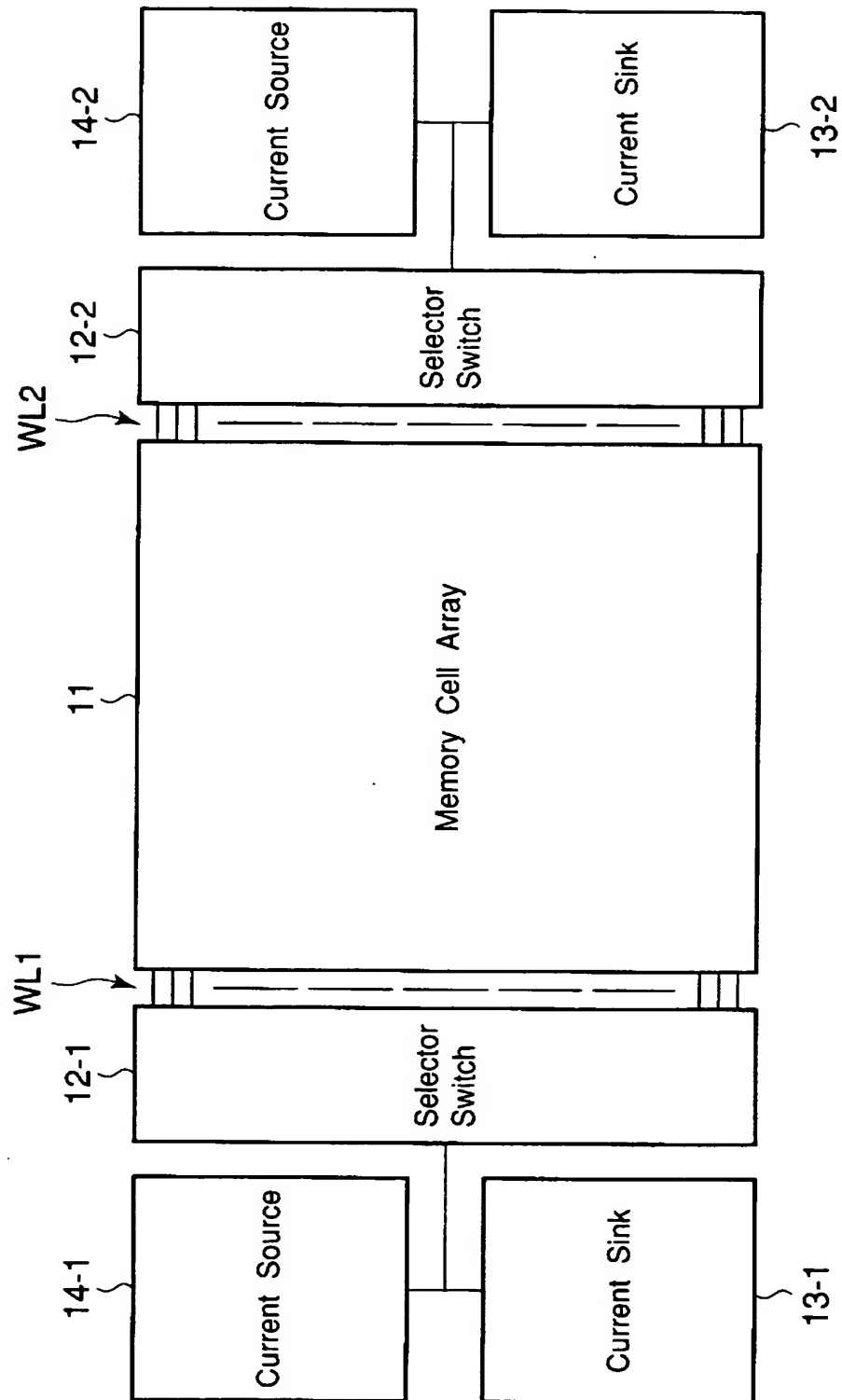
【図 11】



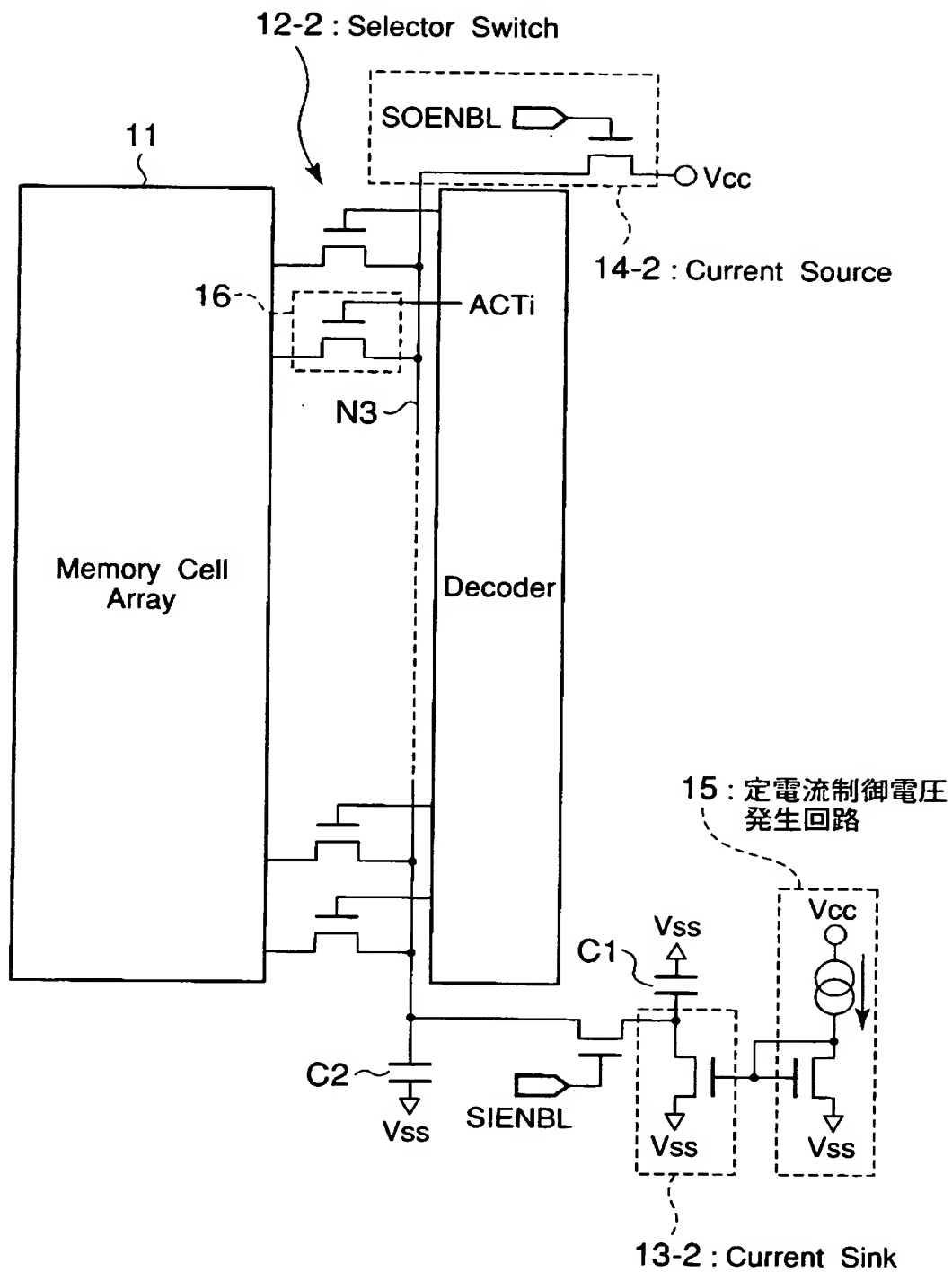
【図 1 2】



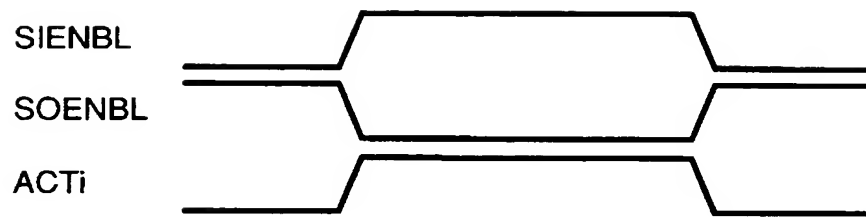
【図 13】



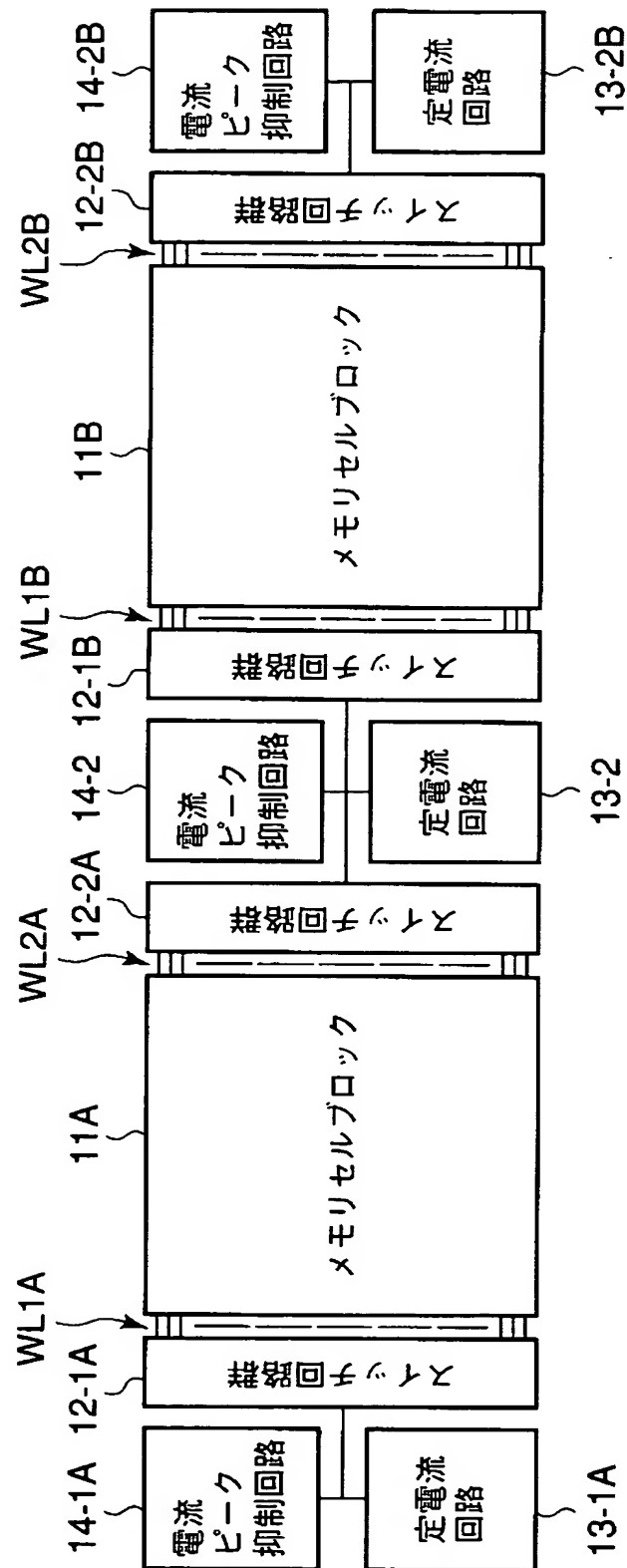
【図 14】



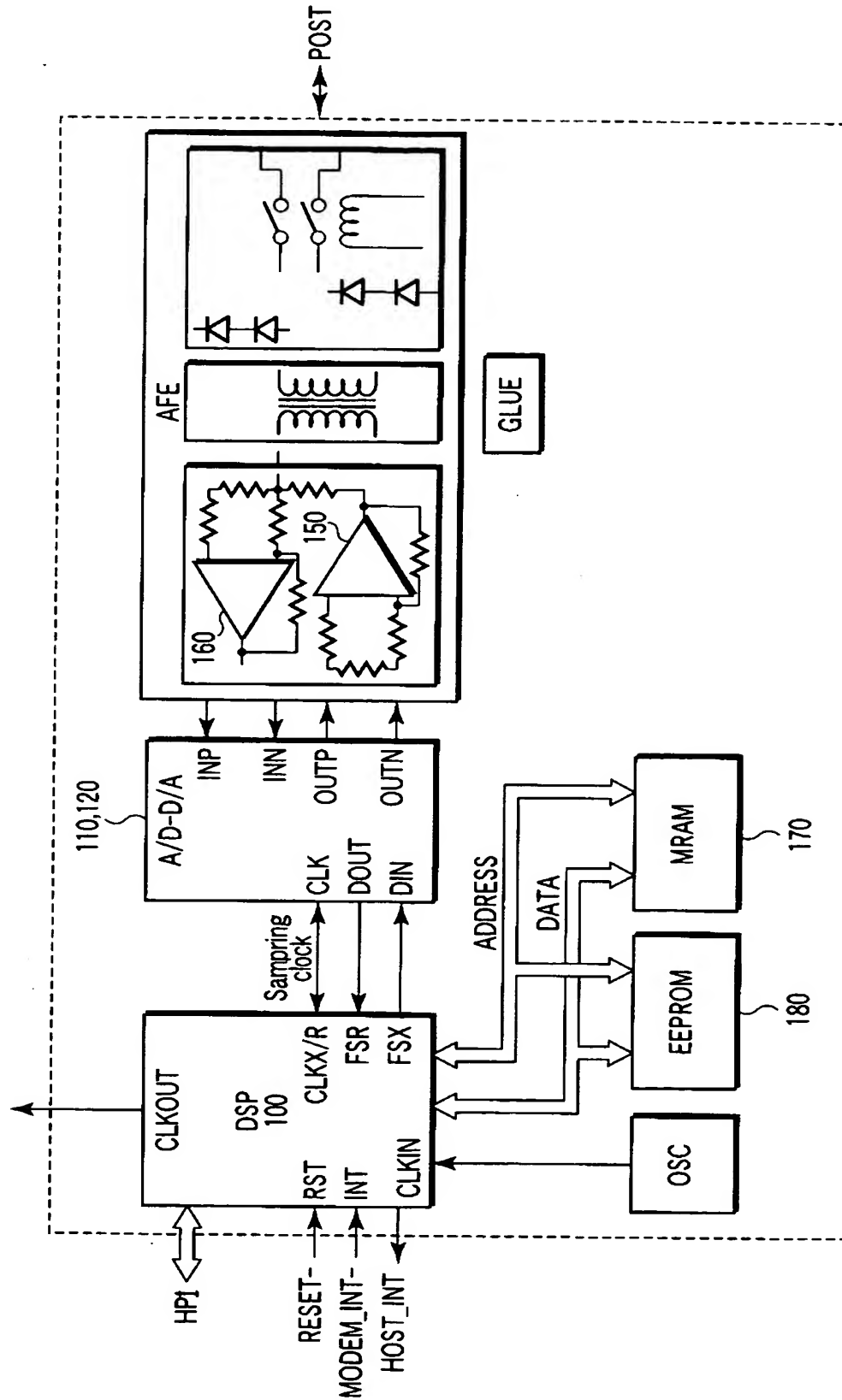
【図 15】



【図 16】

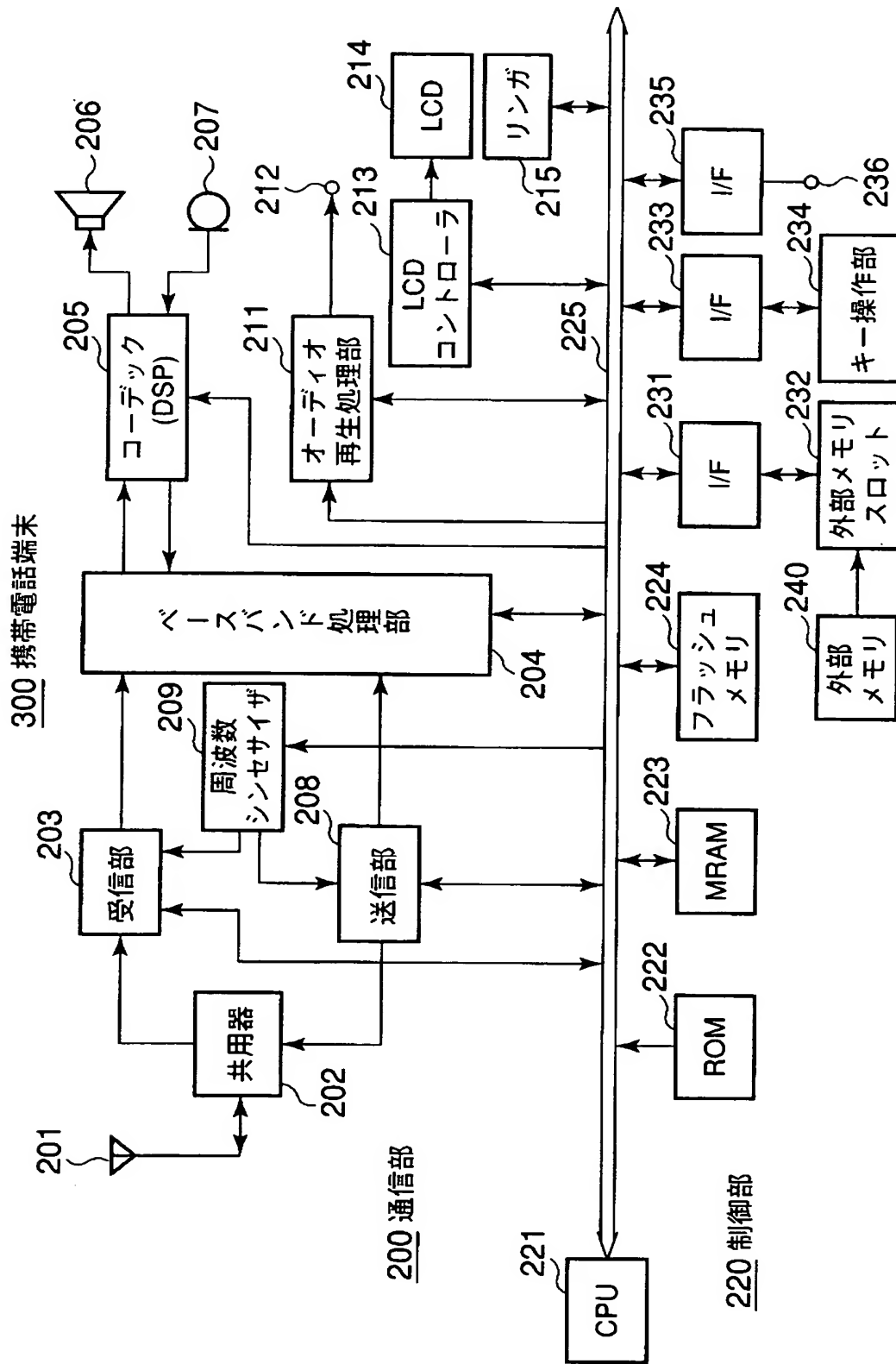


【図 17】

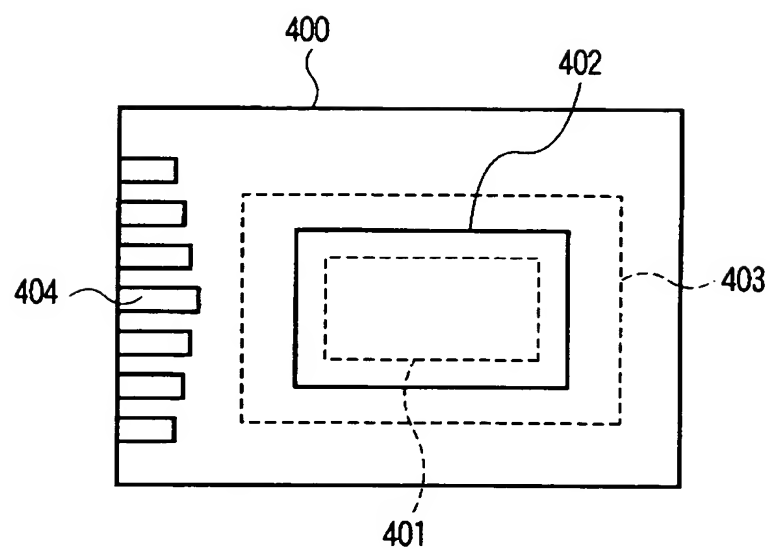




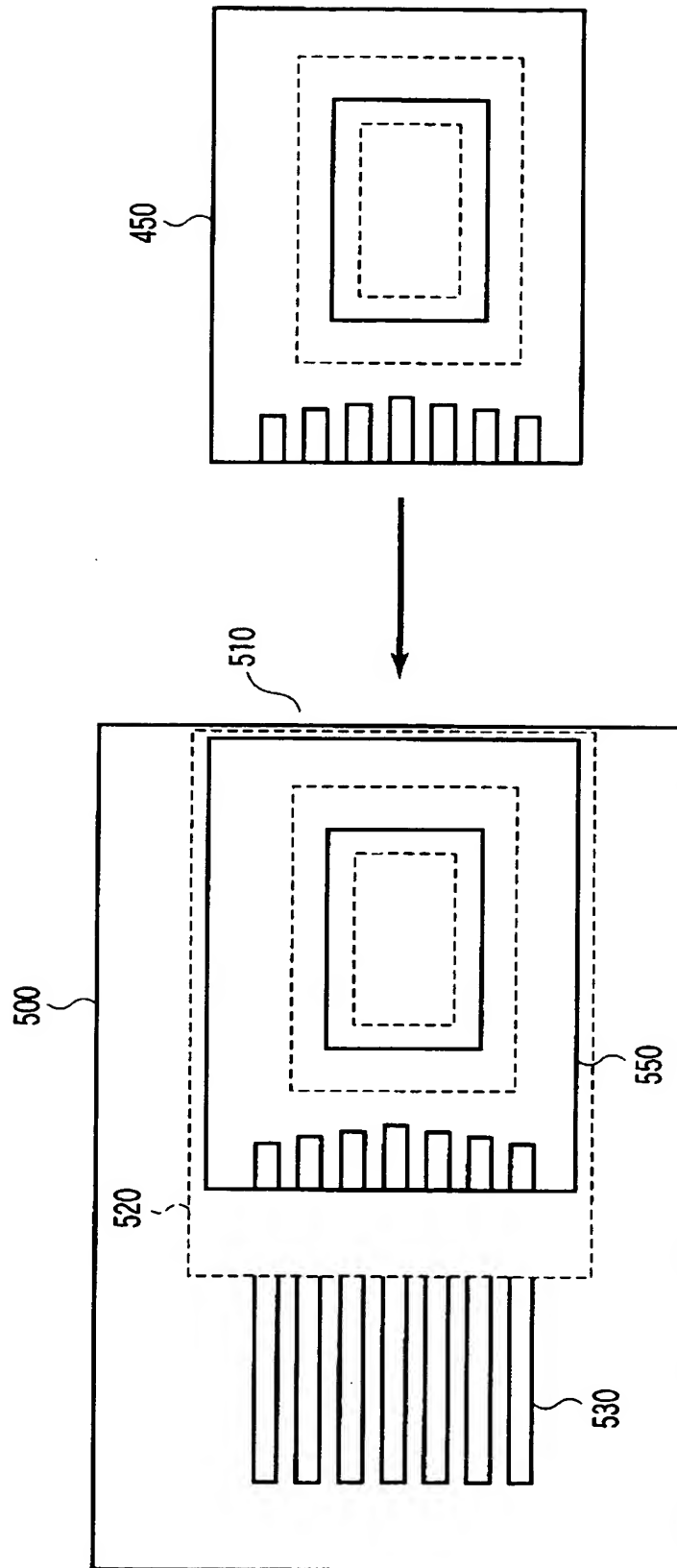
【図 18】



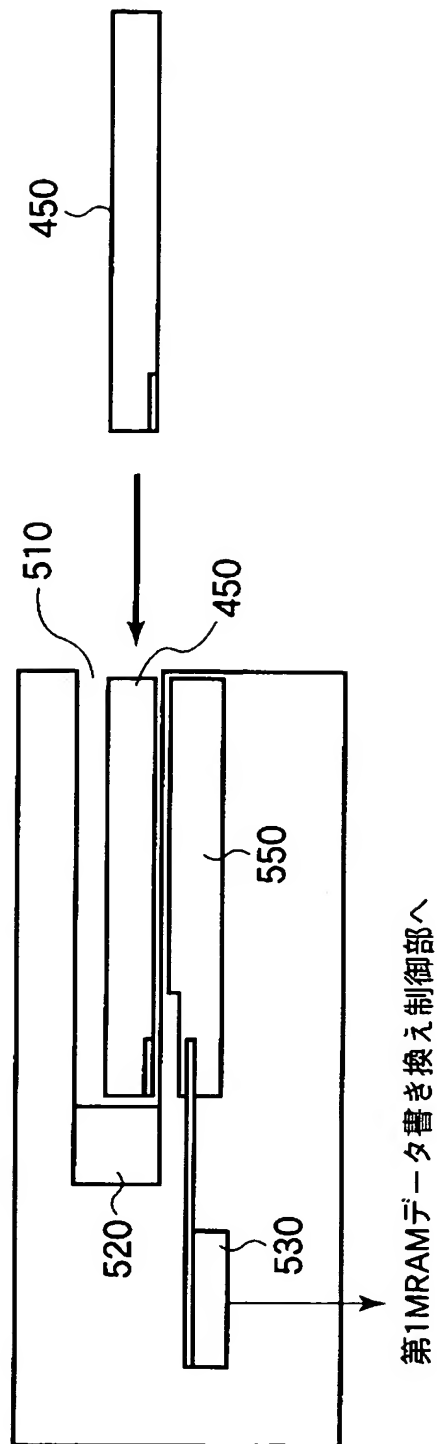
【図 19】



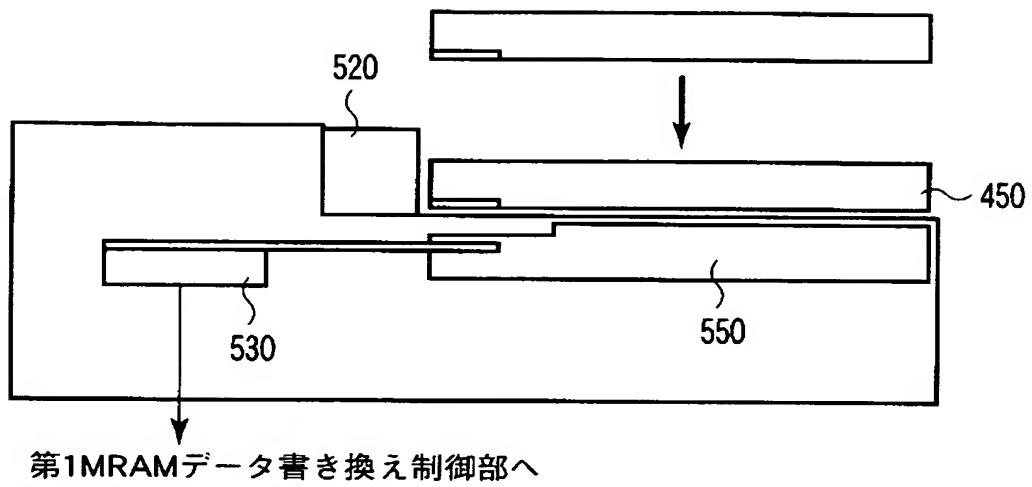
【図 20】



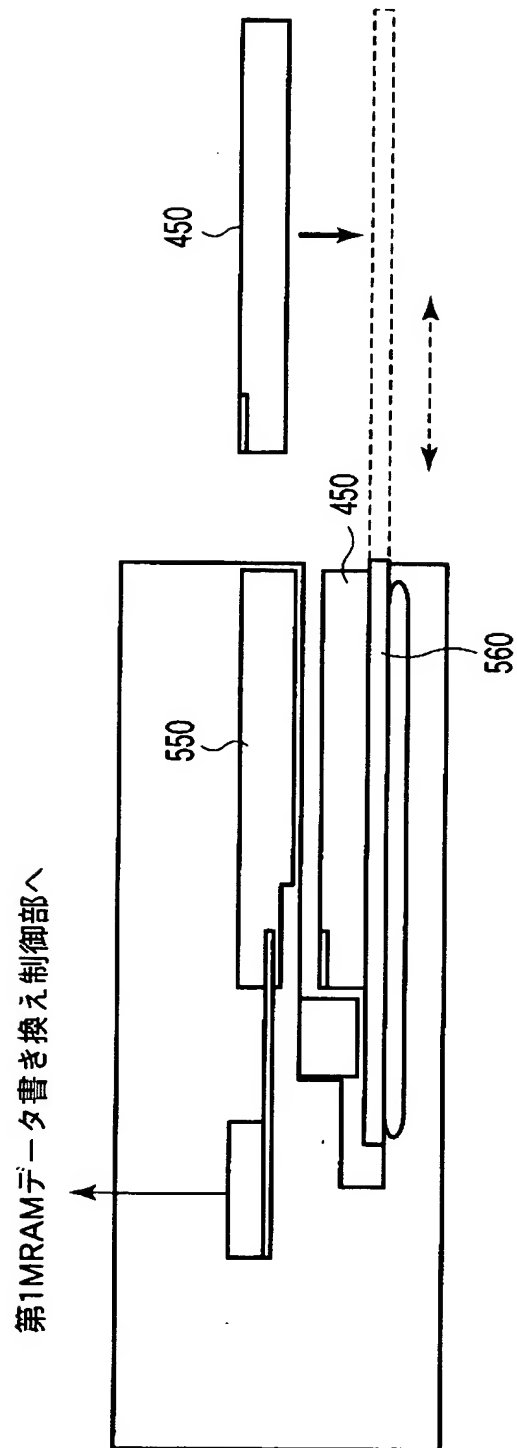
【図 21】



【図 22】



【図 23】





**【書類名】 要約書****【要約】****【課題】**

書き込み動作開始直後のタイミングで発生する電流ピークを抑制でき、書き込み動作マージンが大きく、信頼性の高い半導体集積回路装置を提供することを目的としている。

**【解決手段】**

定電流書き込み方式を採用したMRAMにおいて、第1の電源Vccに接続された書き込み用の定電流回路13-1, 13-2と、これに接続され且つ書き込み配線WL1, WL2を選択的に駆動するためのスイッチ回路群12-1, 12-2を備え、書き込み電流の印加タイミングに先立って、このスイッチ回路群の両端の何れかのノードを定電流回路が接続された電源と上記スイッチ回路群の両端の何れかのノードを短絡させることを特徴とする。これによって、書き込み配線に流れる初期電流ピークを抑制できる。

**【選択図】** 図1



特願 2 0 0 3 - 3 0 0 5 0 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝